

拒絶理由通知書

| | |
|----------|----------------|
| 特許出願の番号 | 特願2002-011910 |
| 起案日 | 平成16年 1月29日 |
| 特許庁審査官 | 多賀 実 9367 5N00 |
| 特許出願人代理人 | 三品 岩男 様 |
| 適用条文 | 第29条第2項、第29条の2 |

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

a. この出願の下記の請求項に係る発明は、その出願の日前の特許出願であって、その出願後に出願公告又は出願公開がされた下記の特許出願の願書に最初に添付された明細書又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の特許出願に係る上記の発明をした者と同一ではなく、またこの出願の時に於いて、その出願人が上記特許出願の出願人と同一でもないので、特許法第29条の2の規定により、特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

【請求項1-4について】 引用文献等：1

下記の引用文献等一覧符号1の先願明細書（特に、図面3乃至6に注目されたい。）には、音声記録装置において、フラッシュメモリの第1ブロックに対する消去処理中に、第2ブロックに対する消去処理を開始する発明が記載されている。

そして、第【0017】段落には「半導体メモリとして分離型のメモリカードを用いているけれども、基板などに搭載して内蔵するようにしてもよい」と記載されており、したがって、先願明細書記載の発明（以下、「先願発明」という。）は、メモリへの書込み／消去を制御するシステムマイコン（本願の「プロセッサ」に相当。）と、フラッシュメモリ半導体チップとを備える半導体記憶装置に関するものである。

また、先願発明においては、図面第3乃至6からみて、

消去単位＝書き込み単位＝ブロック（本願の「セクタ」に対応。）

とみることができる。

次に、先願明細書には、システムマイコンが、フラッシュメモリへデータ消去をどのようにして指示するのか明記されていないが、フラッシュメモリへ消去コ

マンドを書き込むことにより消去を指示することは、本願出願前より周知慣用の技術である。

さらに、先願明細書には、フラッシュメモリが複数存在することは明記されていないが、一般に、あるフラッシュメモリチップ内のブロックを消去している途中で、同一チップに対し、当該チップ内の他のブロックの消去を指示することはできないから（本願明細書第【0020】段落や、下記の引用文献等一覧の引用文献2（特に、第23頁左下欄乃至24頁左上欄、第26頁左上欄乃至右上欄）に記載されているように、あるチップが消去処理を行っている間は、そのチップへはステータスポーリング以外のアクセスはできないことを考えれば明らか。なお、先願明細書図面第2図において、メモリ・セル・アレイが8つ存在するのは、データ出力が1バイト（＝8ビット）単位で行われるためと認められる。引用文献2第11頁左上欄の記載も参照されたい。）、先願発明においても、第1ブロックに対する消去処理中の、第2ブロックに対する消去処理が、消去対象チップを違えることにより実現されていることは、当業者にとって自明な事項である。

したがって、本願発明は、先願発明と実質同一である。

【請求項5について】 引用文献等：1

EEPROMにおいて、1のメモリに対する書き込み処理中に他のメモリに対する書き込み処理を開始することは、下記の引用文献等一覧の引用文献3－6に記載されているように周知慣用技術である。

したがって、本願発明は、先願発明と実質同一である。

b. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

【請求項1－3について】 引用文献：3－7

引用文献7には、複数のフラッシュメモリからなる半導体記憶装置において、異チップ上にある複数のセクタについて、同時に消去を行うことにより、1セクタずつ行う場合に比べ高速な消去を実現する発明が記載されている。なお、引用文献7記載の半導体記憶装置は、磁気ディスクの代替を想定したものであるから、書き込み単位がセクタであることは自明である。

引用文献7記載の発明では、複数セクタの消去が同時に開始されるものであるのに対し、本願発明では、消去実行中に他の消去を開始する点で相違する。

しかしながら、EEPROMにおいて、1つのメモリ処理が終了するまで次のメモリ処理を開始しない態様に対する処理高速化の手法として、1のメモリへ処理要求を行い、当該処理が完了する以前に、他のメモリに対する処理要求を行うことによる並列処理手法は、引用文献3－6に記載されているように周知慣用技術である。

したがって、引用文献7記載の発明において、複数セクタの消去処理を高速化する手法として、複数セクタの消去を同時に開始する手法の他、周知の並列処理手法と同様のタイミングによる方法を用いることは、当業者にとって容易である。

【請求項4について】 引用文献：2－7

引用文献2（特に、第23頁左下欄乃至24頁左上欄、第26頁左上欄乃至右上欄）に記載されているように、当業者にとって自明な事項である。

【請求項5について】 引用文献等：2－7

EEPROMにおいて、1のメモリに対する書き込み処理中に他のメモリに対する書き込み処理を開始することは、引用文献3－6に記載されているように周知慣用の技術である。

引 用 文 献 等 一 覧

1. 特願平4－123711号（特開平5－324000号）
2. 特開平2－289997号公報
3. 特開平4－57295号公報
4. 特開平3－252993号公報
5. 特開平4－33029号公報
6. 特開昭63－288384号公報
7. 特開平2－292798号公報

なお、補正をする場合には、特願平4－40933号（特開平5－242688号）の、現在（平成15年5月28日付手続補正書におけるもの）の請求項に係る発明と実質同一にならないよう留意されたい（特許法第39条第1項違反となる）。

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

Notification of Reasons for Refusal

| | | |
|--------------------------|---|-----------|
| Patent Application No. | 2002-011910 | |
| Drafting Date: | January 29, 2004 | |
| Examiner of JPO | Minoru TAGA | 9367 5N00 |
| Representative/Applicant | Iwao Mishina | |
| Applied Provision | Patent Law Section 29(2) and 29(2) ^{bis} | |

This application should be refused for the reasons mentioned below. If the applicant has any arguments against the reasons, such arguments should be submitted within 60 days from the date on which this notification was dispatched.

Reasons

a. The inventions in the claims listed below of the subject application should not be granted a patent under the provision of Patent Law Section 29-2, since it is identical with an invention disclosed in the specification or drawings originally attached to the request of another application which was filed earlier than the subject application and was published or notified after the subject application was filed, the inventor of the subject application is not the same as the inventor of the above invention which was filed earlier than the subject application, and the applicant is not the same as the applicant of the above application at the time of filing of the subject application.

Note

[Claims 1 to 4] Cited document 1

In the specification of the prior application indicated as the cited document 1 (especially focus attention to Figs. 3 to 6), there is a description as to an invention of a voice recording apparatus in which a delete process to a second block is started during a delete process to a first block of the flash memory is performed.

In the paragraph [0017], there is description that [while a separation type memory card is used as for a semiconductor memory, it may be mounted and built in a board or the like and.]. Therefore, the invention described in the specification of the prior application (hereinafter, referred as the prior invention.) is related to a semiconductor storage device comprising a system micon (corresponding to [a processor] of the present invention) for controlling write/delete to the memory and a flash memory semiconductor chip.

In the prior invention, according to Figs. 3 to 6, it can be considered that ; delete unit = write unit = block (corresponding to [a sector] of the present invention.)

to be continued

Continuation from the previous page

Next, in the specification of the prior application, it is not described how the system micro instructs to the flash memory to delete the data. However, since before the filing of the present application, it is well known technique to instruct to delete by writing a delete command into the flash memory.

Further, in the specification of the prior application, it is not described that there are a plurality of the flash memories. Generally, during deleting a block in one flash memory, it is impossible to delete another block of the chip to the same chip, (as described in the paragraph [0020] of the specification of the present application and cited document 2 listed below (especially, a lower-left column on p23 to an upper left column on p24 and an upper left column to an upper right column on p26), during one chip is performing a delete process, it is obvious that the chip can not be accessed except access of a status polling. Further, in Fig. 2 of the specification of the prior application, it is recognized that there are eight memory cell array so that data output is performed in one byte (=8 bits) unit. Also, referred to an upper left column on p11 of the cited document 2.). Also, in the prior invention, during a delete process is performed to a first block, a delete process to a second block is realized by changing the delete object chip. It is a self-evident matter to a person skilled in the art.

Therefore, the present invention is substantially identical to the prior invention.

[Claim 5] Cited document 1

In an EEPROM, as described in the cited documents 3 to 6 listed below, it is well-known technique that, during writing into a one memory, a writing process to another memory is started.

Therefore, the present invention is substantially identical to the prior invention.

b. The inventions in the claims listed below of the subject application should not be granted a patent under the provision of Patent Law Section 29(2) since it could have easily been made by persons who have common knowledge in the technical field to which the inventions pertain, on the basis of the inventions described in the publications listed below which had been distributed in Japan or foreign countries prior to the filing of the subject application.

[Claims 1 to 3] Cited documents 3 to 7

In the cited document 7, there is a description of the invention that in a semiconductor storage device consists of a plurality of flash memories, high speed delete is realized by performing delete a plurality of sectors on different chips at the same time comparing to the case where the delete is performed in one sector respectively. Further, the semiconductor storage device of the cited document 7 assumes substitution of a magnetic disk. It is obvious that the writing unit is a sector.

to be continued

Continuation from the previous page

In the invention described in the cited document 7, the deletes of plural sectors are started at the same time. The present invention is different in the way that, during the delete is performed, another delete is started.

However, in the EEPROM, as a technique of process speedup for use in the aspect that the next memory process is not started until the one memory process is finished, the a parallel processing method, which a process request to one memory is performed, before the process is finished, a process request to another memory is performed, is well-known technique, as described in the cited documents 3 to 6.

Therefore, it is easily have been made by a person skilled in the art that, in the invention of the cited document 7, as a method for speeding up the delete process of plural sectors, to apply a method at the same timing of the well-known parallel processing as well as the method which the deletes of plural sectors are started at the same time.

[Claim 4] Cited documents 2 to 7.

As described in the cited document 2 (especially a lower-left column on p23 to a upper left column on p24 and an upper left column to an upper right column on p26), it is a self-evident matter to a person skilled in the art.

[Claim 5] Cited document s 2 to 7

In an EEPROM, as described in the cited documents 3 to 6 listed below, it is well-known technique that, during writing into a one memory, a writing process to another memory is started.

LIST OF CITED DOCUMENTS

1. Japanese Patent Application No. H04-123711 (Japanese Patent Laid-open Publication No. H05-324000)
2. Japanese Patent Laid-open Publication No. H02-289997
3. Japanese Patent Laid-open Publication No. H04-57295 -
4. Japanese Patent Laid-open Publication No. H03-252993 -
5. Japanese Patent Laid-open Publication No. H04-33029 -
6. Japanese Patent Laid-open Publication No. S63-288384
7. Japanese Patent Laid-open Publication No. H02-292798 -

If any reasons for refusal are found later, it will be notified.

When you file the amendment, it should be noted that the amendment should not be substantially the same as the invention according to the current claims (amended on May 28, 2003) of Japanese Patent Application No. H04-40933 (Japanese Patent Laid-open Publication No. H05-242688).